

引用格式:左小寒,梁华国,杨兆,等. 基于菱形分组器的 TSV 聚簇故障容错结构[J]. 微电子学与计算机,2020,37(11):48-53. [ZUO X H,LIANG H G,YANG Z, et al. A new TSV fault-tolerant architecture for clustered faults based on diamond burster[J]. Microelectronics & Computer,2020,37(11):48-53.]

基于菱形分组器的 TSV 聚簇故障容错结构

左小寒¹,梁华国¹,杨 兆¹,束 月¹,蒋翠云²

(1 合肥工业大学 电子科学与应用物理学院,安徽 合肥 230009;2 合肥工业大学 数学学院,安徽 合肥 230009)

摘 要: 基于硅通孔的三维集成电路具备低互连延时、高密度、低功耗等优势. 然而,由于不成熟的工艺技术,TSV 制造堆叠及芯片绑定过程容易引入微孔、泄漏等缺陷,造成 TSV 故障. 并且,这些 TSV 故障易呈现聚簇分布,严重降低三维集成电路的良率. 针对 TSV 聚簇故障,本文提出了一种新的基于菱形分组器的 TSV 聚簇故障容错结构. 以菱形分组器将 TSV 蜂窝阵列划分为若干 TSV 组,为每组配置相应的修复资源,达到分散 TSV 聚簇故障后逐个修复的目的,并以数据选择器链共享修复资源. 实验结果表明,本文结构针对聚簇或均匀分布的 TSV 故障修复率均达到了 99%,远高于同类方法,良好适用于修复 TSV 聚簇及均匀故障.

关键词: 三维集成电路;TSV 聚簇故障;菱形分组器;蜂窝;修复

中图分类号: TN407

文献标识码: A

文章编号: 1000—7180(2020)11—0048—06

A new TSV fault-tolerant architecture for clustered faults based on diamond burster

ZUO Xiao-han¹,LIANG Hua-guo¹,YANG Zhao¹,SHU Yue¹,JIANG Cui-yun²

(1 School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, China;

2 School of Mathematics, Hefei University of Technology, Hefei 230009, China)

Abstract: The three-dimensional integrated circuit based on through-silicon-vias has the advantages of low interconnect delay, high density and low power consumption. However, due to the immature technology, the manufacturing, stacking of TSVs and the binding of chips are prone to introduce micro-hole, leakage and other defects, causing TSV faults. Moreover, these TSV faults tend to distribute clustered, which seriously reduces the yield of three-dimensional integrated circuit. A new TSV fault-tolerant architecture for clustered faults based on diamond burster is proposed in this paper. The TSV honeycomb block is divided into several TSV groups by diamond burster, and corresponding repair resources are configured for each group, so as to disperse the clustered TSV faults and repair them one by one. Multiplexer-chains are used to share the repair resources. Experimental results show that the repair rates of the proposed architecture for clustered or uniformly distributed TSV faults maintain above 99%, far higher than similar method, which indicates that the proposed architecture is well applicable to repairing clustered and uniformly distributed TSV faults.

Key words: 3D IC; clustered TSV faults; diamond burster; honeycomb; repair

1 引言

随着半导体工艺特征尺寸不断减小,摩尔定律也在走向物理极限^[1]. 三维集成电路(Three-dimensional Integrated Circuit, 3D IC)通过硅通孔(Through Silicon Via, TSV)将多层芯片在垂直方向上连接起来,进而实现低互连延时、高密度、低功耗等优势,延续半导体工艺发展趋势^[2-3].

3D IC 的良率在很大程度上取决于 TSV 良率,然而,尚不成熟的 TSV 制造工艺易引入针孔、空洞及泄漏^[4-6]等各种缺陷,降低 TSV 良率. 而且,在堆叠过程中,一旦某个 TSV 存在缺陷,由于硅片表面粗糙度和清洁度的影响,周围的 TSV 可能也有缺陷,呈现聚簇分布^[7].

针对 TSV 故障,早期的几种容错方案^[8-10]通过添加若干空闲的冗余 TSV (Redundancy TSV, RTSV)以代替故障 STSV (Signal TSV, STSV)传输信号,提高 TSV 可靠性,但是未考虑到故障聚簇情况.

基于以上结构在修复能力或开销方面的不足^[11-13],本文针对 TSV 聚簇故障,提出一种新的 TSV 故障容错结构,针对蜂窝型排布的 TSV 阵列,将 TSV 阵列划分为多个 TSV 组,为每组配置独立的修复资源,并设计组间共享 RTSV 方法,对 TSV 聚簇故障和均匀故障都有极高的修复能力,且硬件开销与延时较低.

2 相关工作

2.1 一维 TSV 故障容错结构

一维 TSV 故障容错结构^[10]如图 1 所示,无故障时,来自上层芯片的输入信号 S_1 - S_4 分别通过信号 TSV STSV₁-STSV₄ 输出至下层芯片, R_1 为 RTSV,处于空闲状态. 当存在 TSV 故障时,信号通过数据选择器(MUX, Multiplexer)依次向右侧 TSV 转移,直至最右端信号转移至 RTSV 传输,实现对 TSV 故障的修复. 图 1 中箭头表示 STSV₂ 故障时信号 S_2 - S_4 的转移方向. 然而一维 TSV 故障容错结构只能修复一个 TSV 故障,无法修复 TSV 聚簇故障.

2.2 基于蜂窝的 TSV 容错结构

基于蜂窝的 TSV 容错结构^[13]将 TSV 按照蜂窝拓朴结构排列,可提高面积利用率,降低 TSV 之间的峰值噪声和串扰. 如图 2 所示为 N 层蜂窝单元构成的 TSV 蜂窝阵列,图中白色圆圈表示 STSV,灰色圆圈表

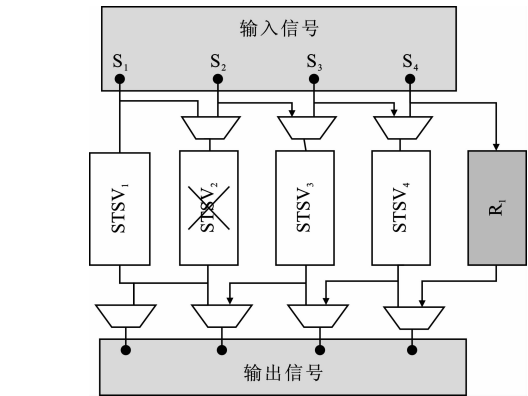


图 1 一维 TSV 故障容错结构

示 RTSV,箭头表示存在 TSV 故障时信号可能的转移方向,即修复路径. 相邻 TSV 之间的间距为 p ,蜂窝阵列最外层蜂窝单元的中心位置放置 RTSV.

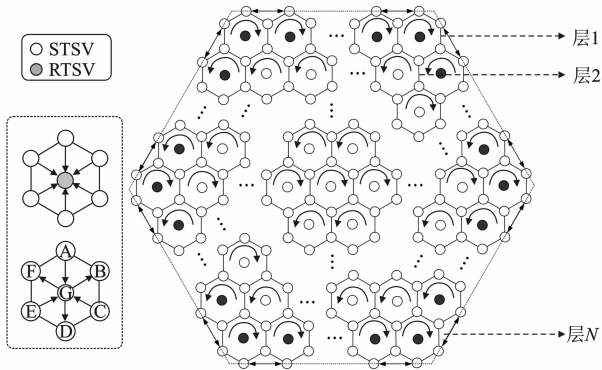


图 2 基于蜂窝的 TSV 聚簇故障容错结构

蜂窝容错结构的修复路径具体可分为三部分. (一)将 TSV 蜂窝阵列从上至下分为若干行蜂窝单元,第一行蜂窝单元顶点上的信号采用顺时针方向转移到相邻 TSV 上,第二行蜂窝单元顶点上的信号则采用逆时针方向转移到相邻 TSV 上,依次类推,相邻行的信号转移方向顺逆时针交替,如图 2 中弧形箭头所示. (二),最外层蜂窝单元顶点上的六个信号都可以向中心 RTSV 转移,而针对其余蜂窝单元,如图 2 左下角所示,位于 TSV A、C、E 上的信号可转移到位于中心点 G 上的 STSV,位于点 G 上的信号可转移到位于点 B、D、F 上的 STSV. (三),蜂窝阵列最外围来自相邻蜂窝单元顶点上的信号可以互相转移,如图 2 双向箭头所示,该路径的长度为 $\sqrt{3}p$. 三部分修复路径相互配合,同一个信号有多个可选的转移方向,但每个 TSV 在同一时间只能传输一个信号,当存在 TSV 故障时,信号选取最合适的路径转移.

在基于蜂窝的容错结构中,由于信号有多个可

能的修复路径,所以能够修复 TSV 聚簇故障,并且需要较小的硬件开销和延时.但是由于所有 RTSV 位于蜂窝阵列最外层,位于内层的信号需经过较长的路径转移,才能找到空闲的 RTSV,类似于一维 TSV 故障容错结构,一旦路径中存在其他 STSV 故障,则修复路径被中断.而且,若周围多个相邻 TSV 同时故障,则故障 STSV 的信号无法转移出去.因此蜂窝容错结构对于严重的多个 TSV 聚簇故障,修复能力不佳.

3 菱形分组器的 TSV 容错结构

3.1 TSV 分组及 RTSV 选取

本文对 TSV 蜂窝阵列进行分组,区别于传统的按区域分组的方法,本文结构通过菱形分组器对 TSV 进行间隔分组,将物理位置上并不相邻的 TSV 分为一组.

图 3 所示为由 37 个 TSV 组成的蜂窝阵列,图中灰色虚线表示边长为 2、内角为 60° 的菱形分组器.白色圆圈为 STSV,灰色圆圈为 RTSV,TSV 间距为 p .将菱形分组器顶点所落的 TSV 列为一组,如图中灰色圆圈的 $A_1 - A_9$ 及 R_A 列为 A 组 TSV,选取其中的中心位置放置 RTSV.注意,由于蜂窝阵列的对称性,图中所示的 R_A 与 A_4 均为中心位置,本文选取 R_A 放置 RTSV.

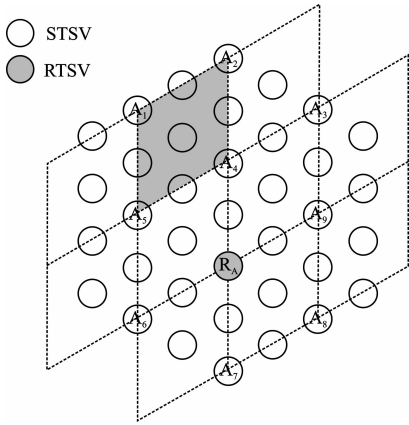


图 3 菱形分组器示意图

将菱形分组器以 p 为步长沿边平移,依次落到未分组 TSV 上,即可得到其他组 TSV.分组结果如图 4 所示,37 个 TSV 被间隔分为 A、B、C、D 四组,其中 R_A 、 R_B 、 R_C 、 R_D 分别为 A、B、C、D 组的 RTSV.

3.2 修复路径

3.2.1 RTSV 连接路径

为了充分利用 RTSV,每个 RTSV 配备一个 6:1 MUX. MUX 的输入端连接同组与 RTSV 距离最

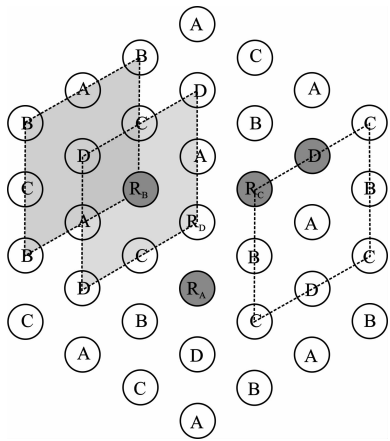


图 4 37 个 TSV 分组示意图

短的信号,输出端连接至 RTSV.以 A 组 MUX 为例,如图 5 所示,信号 TSV $A_1 - A_9$ 的信号连接至 MUX 的输入端, MUX 的输出端连接至 R_A . 当 TSV $A_1 - A_9$ 之一出现故障时,其原应传输的信号通过数据选择器传输至 R_A ,进而传输至下一层芯片.

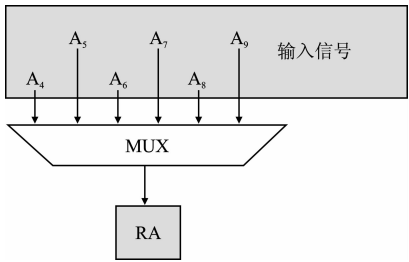


图 5 RTSV 连接路径示意图

3.2.2 双向环

在 3.2.1 中, $A_1 - A_3$ 的信号距离 RTSV R_A 较远,若直接传输至 R_A ,会产生较长的信号传输延时.为了修复此类距 RTSV 较远的 STSV,且不增加路径延时,引入第二部分修复路径:将信号与同组的相邻 STSV 利用 MUX 连接起来,组成双向环结构.如图 6 所示, A 组的九个信号分别与相邻的 A 组 STSV 连接.如若 A_2 故障,其信号可以向 STSV A_1 或 A_3 转移, A_1 或 A_3 的信号可转移至 RTSV R_A 传输至下层芯片.

3.2.3 顺时针环

以上修复路径针对 TSV 聚簇故障较为灵活,但当任意组内出现 2 个及以上 TSV 故障时,由于组中只有一个 RTSV,则无法修复.考虑到此时其他组可能存在空闲 RTSV,为了实现全阵列共享 RTSV,引入第三部分修复路径:

将 33 个 STSV 以物理位置相近的原则,分为九

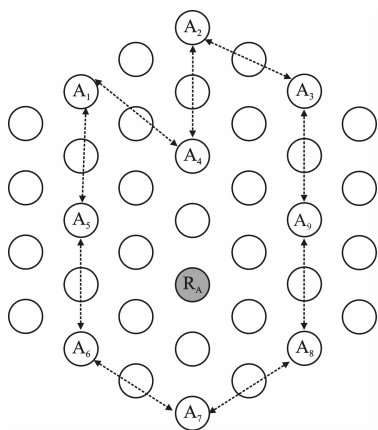


图6 双向环示意图

个顺时针环区,如图中区 I 至区 IX,单个区中含 A、B、C、D 组至多各一个 STSV,区内信号与 STSV 利用 MUX 组成顺时针环结构。外层区 I 至区 VI 中均包含四个 STSV,其中具体连接方式如图 7 右上部分区 VI 所示,信号与 STSV 通过 MUX 构成顺时针环结构。而区 VII 至 IX 中,只包含三个 STSV,其中具体连接方式如图 7 右下部分区 VII 所示,三个信号与 STSV 组成顺时针闭环。

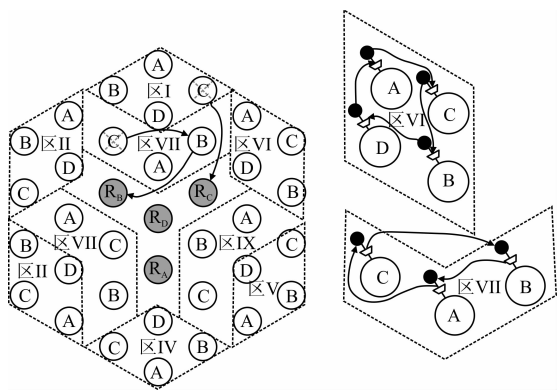


图7 SV阵列分区示意图

利用顺时针环,信号可实现跨组传输。如图7左侧所示,若区 I、VII 中两个 C 组 STSV 均故障,在 C 组只有一个 RTSV 的情况下,其中一个信号可向 C 组 RTSV 转移,另一个信号可通过顺时针环向其他组转移,利用其他组的 RTSV 修复,从而实现组间共享 RTSV。

3.3 修复算法

在对 TSV 进行测试,并诊断出故障 TSV 之后,通过最小成本最大流算法^[14]来判断 TSV 故障能否被修复。

将容错结构视为有向图 $G(V, E)$, 节点集 V 由源点 {Source}、信号点集 {Signals}、TSV 点集

{TSVs} 和汇点 {Sink} 组成, 边集 E 由 {SS}、{ST} 和 {TS} 组成。信号点集包括 STSV 和 RTSV。边集 {SS}、{ST} 和 {TS} 分别表示源到信号的边、信号到 TSV 的边和 TSV 到汇节点的边。所有边的流量都设置为 1。每条边有相应的成本, {SS} 和 {TS} 的成本为 0, {ST} 中信号通过对应 STSV 或 RTSV 传输成本为 0, 通过其他 STSV 传输成本为 1。

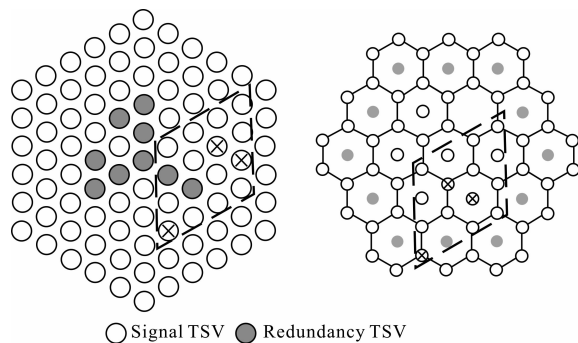
确定故障 TSV 之后, 移除故障 TSV 节点和与之相关的边, 生成新的有向图 $G'(V, E)$, 再执行最大流修复过程。如果所得边的最大流数等于信号的个数, 认为该情形下的 TSV 故障可以被修复, 若最大流数小于信号的个数, 则认为该情形下的 TSV 故障无法修复。

4 实验结果

在本文实验中, 本文结构应用于 91 个 TSV 构成的蜂窝阵列, 与 3 层蜂窝容错结构分别在修复能力、硬件开销、延时开销方面进行对比分析。

4.1 修复能力分析

实验以内角为 60° 的菱形作为聚簇窗模拟聚簇程度。图 8 所示分别为本文结构与蜂窝结构中 4×4 的聚簇窗, 3 个 TSV 故障在聚簇窗内随机产生。TSV 故障个数固定时, 聚簇窗越小, 表征聚簇程度越严重。



(a) 本文结构 (b) 蜂窝结构

图8 4×4 聚簇窗示意图

实验比较了本文结构与蜂窝结构在不同聚簇程度下对相同数量故障 TSV 的修复率情况。故障数量由 1 到 9, 每种数量的 TSV 故障随机产生并进行 100 000 次实验, 聚簇窗的位置随机产生。修复率为可修复故障情形与总故障情形的比值。

图 9 为故障均匀分布的情况下, 本文结构与蜂窝结构的修复率比较折线图。从图中可以看出, 随着故障数量的增多, 本文结构修复率逐渐高于蜂窝

结构.

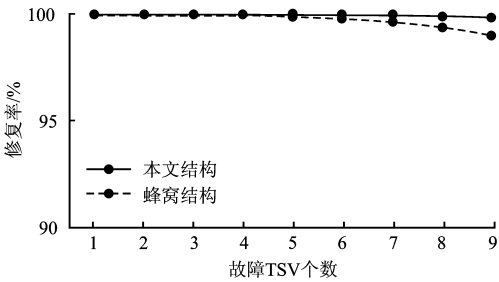


图 9 两种结构故障均匀分布下修复率

对于故障聚簇分布,本文结构与蜂窝结构修复率比较结果如图 10 所示.蜂窝结构在 5×5 聚簇窗下对 9 个 TSV 故障的修复能力下降至 82%,在 4×4 聚簇窗下下降至 58%,而在聚簇严重的 3×3 聚簇窗下,蜂窝结构对 9 个 TSV 故障的修复能力不足 5%,这是由于 STSV 周围的多个 TSV 均发生故障,信号无法转移出去.而本文结构在 5×5 、 4×4 、 3×3 聚簇窗下始终能保持 99%以上的修复率,对于聚簇故障的修复能力明显优于蜂窝结构,这是因为在本文结构中,聚簇的多个故障被分散到不同组,进而通过灵活的修复路径,找到各自就近的 RTSV 进行修复.

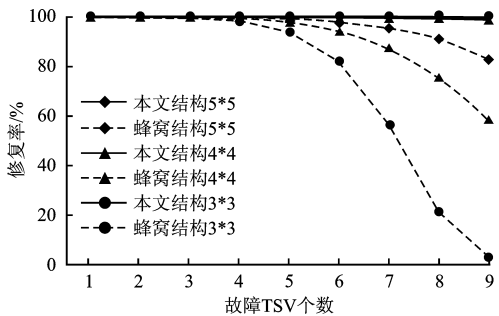


图 10 两种结构故障聚簇分布下修复率

4.2 硬件开销分析

由于 RTSV 及 MUX 会带来额外的硬件开销,采用综合工具 Synopsys Design Compiler 基于 TSMC 45 nm 标准单元库计算 MUX 面积参数,表 1 总结了本文结构与蜂窝结构的硬件开销.可以发现,本文结构冗余比低于蜂窝结构,占用较少的 RTSV,减少制造成本,而本文结构的 MUX 面积与蜂窝结构持平.

4.3 延时开销分析

在 TSV 修复过程中,信号重新传输至其他 TSV 需要经过一定的布线距离及 MUX,产生额外的延时.由于所有信号的转移是同时进行的,TSV 容错结构

表 1 两种结构硬件开销与延时

蜂窝结构	本文结构	
# of RTSV	12	9
# of STSV	61	82
冗余比	12:61 (19.67%)	9:82 (10.98%)
# of 2:1 MUX	4	
# of 3:1 MUX	32	
# of 4:1 MUX	19	82
# of 5:1 MUX	3	
# of 6:1 MUX	15	9
MUX 总面积/ μm^2	535.94	577.52 (+0.078)
线延时/ps	43.3	75
MUX 延时/ps	600	600
总延时/ps	643.3	675 (+0.049)

的延时取决于单个信号的最长转移距离与经过的最大 MUX.假定 TSV 直径为 $5 \mu\text{m}$,TSV 间距 p 为 $50 \mu\text{m}$,基于文献[15],假定信号传播延时是 $5 \text{ ps}/10 \mu\text{m}$.在蜂窝结构中,单个信号的最长转移距离为蜂窝阵列最外围带双向箭头所示的修复路径长度,为 $\sqrt{3}p$,在本文结构中,单个信号的最长转移距离为同组 TSV 之间的间隔,即菱形分组器的边长,为 $3p$.另外,蜂窝结构与本文结构所使用的最大 MUX 均为 6:1 MUX,Synopsys Design Compiler 综合 6:1 MUX 延时为 600 ps .表 1 总结了两种结构的延时开销,可以看出,本文结构的延时与蜂窝结构也是持平.

5 结束语

本文针对 TSV 聚簇故障,提出了一种新的基于菱形分组器的容错结构,将 TSV 蜂窝阵列分为多个 TSV 组,为每组配置修复资源,并设计组间共享修复资源,提高 RTSV 利用率.与蜂窝结构相比,在产生相近硬件开销与延时的前提下,本文结构无论是在 TSV 故障均匀分布还是聚簇分布方面都有更优的修复能力.并且,随着聚簇故障个数的增多,本文结构始终保持 99%以上的修复率,能够良好解决 TSV 聚簇故障问题.

参考文献:

[1] WALDROP M M. The chips are down for Moore's law[J]. Nature, 2016, 530(7589): 144-147. DOI: 10.1038/530144a.

[2] EGHBAL A, YAGHINI P M, BAGHERZADEH N, et al. Analytical fault tolerance assessment and met-

- rics for TSV-Based 3D network-on-chip[J]. IEEE Transactions on Computers, 2015, 64(12): 3591-3604. DOI: 10.1109/TC.2015.2401016.
- [3] AGARWAL R, ZHANG W Q, LIMAYE P, et al. Cu/Sn microbumps interconnect for 3D TSV chip stacking[C]//Proceedings of the 60th Electronic Components and Technology Conference (ECTC). Las Vegas: IEEE, 2010: 858-863. DOI: 10.1109/ECTC.2010.5490698.
- [4] FRANK T, MOREAU S, CHAPPAZ C, et al. Reliability of TSV interconnects: electromigration, thermal cycling, and impact on above metal level dielectric[J]. Microelectronics Reliability, 2013, 53(1): 17-29. DOI: 10.1016/j.microrel.2012.06.021.
- [5] HOSSAIN N M, KUCHUKULLA R K R, CHOWDHURY M H. Failure analysis of the through silicon via in three-dimensional integrated circuit (3D-IC)[C]//Proceedings of 2018 IEEE International Symposium on Circuits and Systems (ISCAS). Florence: IEEE, 2018: 1-4. DOI: 10.1109/ISCAS.2018.8351020.
- [6] LEE C Y, KIM S, JUN H, et al. TSV technology and challenges for 3D stacked DRAM[C]//Proceedings of 2014 Symposium on VLSI Technology (VLSI Technology): Digest of Technical Papers. Honolulu: IEEE, 2014: 1-2. DOI: 10.1109/VLSIT.2014.6894397.
- [7] JIANG L, XU Q, EKLOW B. On Effective Through-Silicon Via Repair for 3-D-Stacked ICs[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2013, 32(4): 559-571. DOI: 10.1109/TCAD.2012.2228742.
- [8] LOI I, MITRA S, LEE T H, et al. A low-overhead fault tolerance scheme for TSV-based 3D network on chip links[C]//Proceedings of 2008 IEEE/ACM International Conference on Computer-aided Design. San Jose, IEEE, 2008: 598-602. DOI: 10.1109/ICCAD.2008.4681638.
- [9] KANG U, CHUNG H J, HEO S, et al. 8Gb 3D DDR3 DRAM using through-silicon-via technology[C]//Proceedings of 2009 IEEE International Solid-State Circuits Conference-Digest of Technical Papers. San Francisco, IEEE, 2009: 130-131. DOI: 10.1109/ISSCC.2009.4977342.
- [10] HSIEH A C, HWANG T T. TSV redundancy: architecture and design issues in 3-D IC[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2012, 20(4): 711-722. DOI: 10.1109/TVLSI.2011.2107924.
- [11] LO W H, CHI K, HWANG T T. Architecture of ring-based redundant TSV for clustered faults[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, IEEE, 2016, 24(12): 3437-3449. DOI: 10.1109/TVLSI.2016.2558514.
- [12] CHEN S, XU Q, YU B. Adaptive 3D-IC TSV Fault Tolerance structure generation[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, 38(5): 949-960. DOI: 10.1109/TCAD.2018.2824284.
- [13] NI T M, YAO Y, CHANG H, et al. LCHR-TSV: novel low cost and highly repairable honeycomb-based TSV redundancy architecture for clustered faults[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, DOI: 10.1109/TCAD.2019.2946243.
- [14] GOLDBERG A V, RAO S. Beyond the flow decomposition barrier[J]. Journal of the ACM, 1998, 45(5): 783-797. DOI: 10.1145/290179.290181.
- [15] KITADA H, SUZUKI T, KIMURA T, et al. The influence of the size effect of copper interconnects on RC delay variability beyond 45nm technology[C]//Proceedings of 2007 IEEE International Interconnect Technology Conference. Burlingame, IEEE, 2007: 10-12. DOI: 10.1109/IITC.2007.382333.

作者简介:

左小寒 女,(1995-),硕士研究生.研究方向为三维集成电路的测试与容错.

梁华国(通讯作者) 男,(1958-),教授,博士生导师.研究方向为嵌入式系统综合与测试、数字系统设计自动化、高可靠性的工业控制计算机研究与开发和分布式控制系统等. E-mail:861819322@qq.com

杨兆 男,(1993-),硕士研究生.研究方向为三维集成电路的测试与容错.

束月 女,(1993-),硕士研究生.研究方向为三维集成电路的测试与容错.

蒋翠云 女,(1962-),硕士研究生,副教授.研究方向为容错计算、自动测试模式生成算法等.